

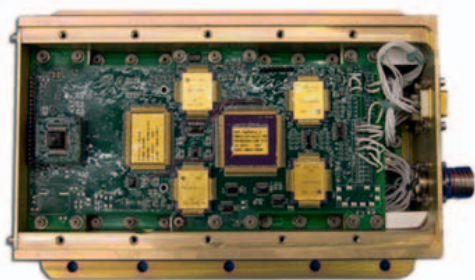
# Processori ARM Cortex-M0 per missioni spaziali

Ross Bannatyne  
VORAGO  
Technologies

**Per la prima volta una MCU resistente alle radiazioni basata su core ARM e progettata esplicitamente per operare in condizioni estreme è stata utilizzata per svolgere un ruolo chiave nell'ambito del progetto Rheme**

**S**paceX CRS-10 è una missione spaziale privata di rifornimento per la Stazione Spaziale Internazionale (International Space Station) programmata da SpaceX per la NASA nell'ambito del programma "Commercial Resupply Services". Il vettore utilizzato, un Falcon 9, è stato lanciato da Cape Canaveral il 18 febbraio scorso e ha portato in orbita il veicolo cargo Dragon. Parte del carico era rappresentato da un modulo conosciuto sotto il nome di "RHEME" sviluppato da Cosmiac (il Centro per l'elettronica per applicazioni spaziali dell'Università del Nuovo Messico). RHEME, acronimo di Radiation Hardened Electronic Memory Experiment è un importante studio scientifico sponsorizzato dalla NASA e sviluppato in collaborazione con i laboratori di ricerca della US Air Force. La Stazione Spaziale Internazionale è mantenuta in un'orbita compresa tra 330 e 435 km di altitudine, nell'orbita terrestre bassa, e viaggia a una velocità media di 27.600 km/h, completando un'orbita ogni 92,6 minuti. Si tratta della piattaforma ideale per condurre esperimenti di scienza dei materiali. I chip in questione erano già stati sottoposti al collaudo di resistenza alle radiazioni in diversi centri, ma nulla può sostituire un collaudo in condizioni reali. Scopo del progetto RHEME è studiare frequenza ed effetto degli urti delle particelle ad alta energia sulle memorie CMOS nello spazio. Per l'esperimento, che avrà la durata di un anno, (il lancio è stato effettuato lo scorso mese di febbraio), sono stati utilizzati nove chip realizzati con il processo brevettato "HARDSIL". Più in dettaglio, i dispositivi sottoposti a questo esperimento sono quattro SRAM da 16 Mb e uno stack di SRAM da 72 MB (composto da quattro dispositivi da 18 MB ciascuno): questo array è monitorato e controllato da

un microcontrollore basato su core ARM Cortex-M0 sviluppato da VORAGO Technologies. Il sistema è riportato



**Fig. 1 - Il sistema utilizzato per RHEME (Radiation Hardened Electronic Memory Experiment), un esperimento sponsorizzato dalla NASA e sviluppato in collaborazione con i laboratori di ricerca della US Air Force (Foto: Cosmiac)**

in figura 1. Si tratta della prima volta che un microcontrollore ARM Cortex-M0 viene utilizzato nello spazio. Finora la gamma di componenti qualificati per applicazioni spaziali era alquanto limitata e composta principalmente da processori ed FPGA che non si possono certamente considerare come prodotti "allo stato dell'arte". La disponibilità di un processore basato su core ARM garantisce l'accesso a un ecosistema ampio e articolato di

risorse, sia hardware sia per lo sviluppo software, oltre a consentire di sfruttare i vantaggi di un'architettura ottimizzata in termini di consumi.

## Microcontrollore ARM resistente alle radiazioni

Il microcontrollore VA10820 di VORAGO Technologies è stato progettato per operare in ambienti dove sono presenti radiazioni ed è specificato per resistere a una TID (Total Ionizing Dose - dose totale di radiazioni ionizzanti) pari a 300k rad (Si). Questo parametro misura la quantità di radiazioni ionizzanti a cui può essere sottoposto il silicio senza che si verifichino condizioni di guasto. A bordo del chip è presente un sotto-sistema EDAC (Error Correction and Detection) che unitamente a uno Scrub Engine (che analizza i dati presenti in memoria e rileva e corregge eventuali errori) può rilevare i bit di memoria che hanno subito il fenomeno di "bit flip" (inversione del valore) e procedere alle correzioni in modo autonomo e in tempo reale. Errori di questo tipo sono conosciuti sotto il nome di SEU (Single Event Upset) e provocano un cambiamento di stato imputabile a una singola particella ionizzante che colpisce un

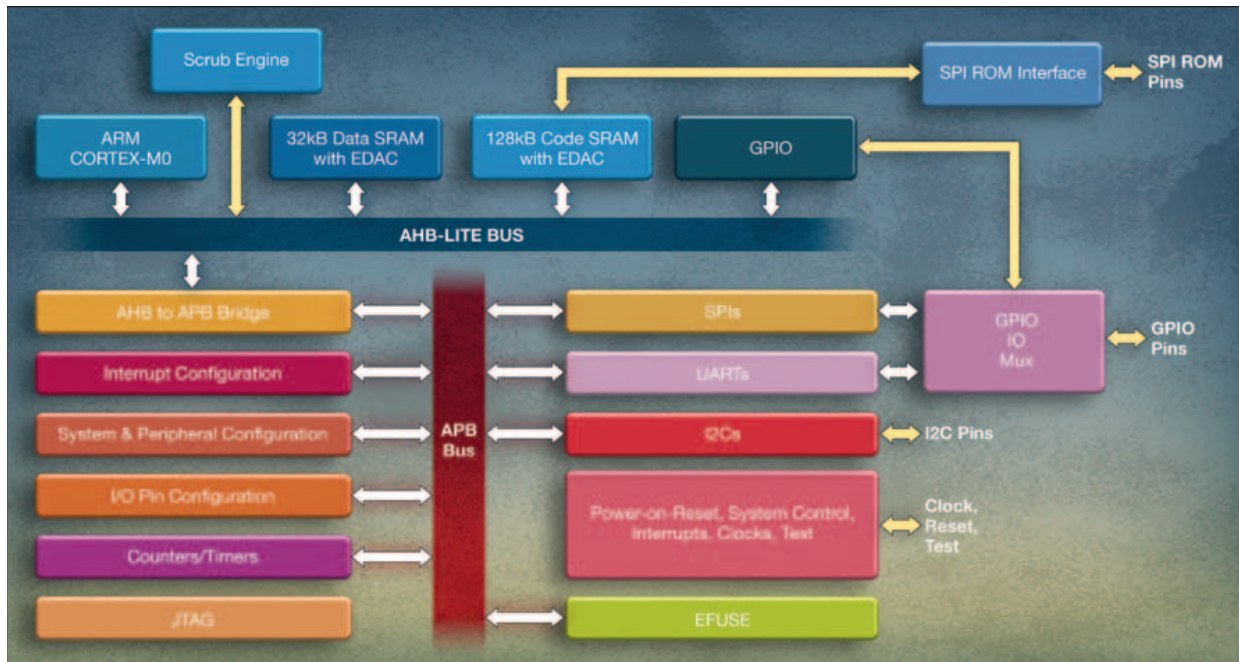


Fig. 2 – Schema a blocchi della MCU VA10820 resistente alle radiazioni sviluppata da VORAGO Technologies

dispositivo. Questi fenomeni SEU possono influenzare le celle di memoria o i circuiti logici. Un'altra caratteristica dell'architettura del microcontrollore VA10820 è l'implementazione della ridondanza tripla (TMR – Triple Modular Redundancy) su tutti i registri interni. Mentre il sistema EDAC si occupa delle problematiche SEU all'interno della memoria, il TMR affronta le medesime problematiche nei circuiti logici. Nella figura 2 è riportato lo schema a blocchi del microcontrollore VA10820. I bit della memoria EDAC sono fisicamente collocati nella stessa matrice (array) delle parole di memoria. Durante la sequenza di accensione (power-on) del microcontrollore VA10820 l'intero spazio di memoria è inizializzato in uno stato noto in modo tale che ciascun indirizzo inizi con uno stato valido (clean state). Poiché ci sono 5 bit EDAC per ogni byte nella parola di dati a 32 bit interna, è possibile rilevare 2 errori sui singoli bit per ogni lettura di byte e correggere 1 bit per ogni byte della parola di memoria a 32 bit. Ciò consente la correzione di un massimo di 4 errori sui bit (1 per byte) per parole di dati a 32 bit. La decisione di utilizzare 5 bit di parità per ogni byte di memoria è stata dettata da due ragioni. La prima è la garanzia del supporto della scrittura a byte (byte write) tipica dei moderni microcontrollori e la seconda è che rappresenta un compromesso ottimale tra la dimensione della matrice di memoria e la velocità di accesso in lettura/scrittura da/verso la memoria interna.

#### Tecnologia CMOS resistente alle radiazioni

I chip utilizzati in questa applicazione sulla Stazione Spaziale Internazionale sono stati realizzati utilizzando il processo HARDSIL sviluppato da VORAGO Technolo-

gies. Si tratta di una tecnologia appositamente concepita per consentire ai semiconduttori CMOS di resistere agli effetti delle radiazioni. Ciascun dispositivo CMOS, indipendentemente dalla geometria e dalla fabbrica in cui è stato realizzato, può essere modificato con il processo HARDSIL per renderlo immune da qualsiasi fenomeno di latch-up. In funzione dello specifico processo, viene

THE ORIGINAL SINCE 1994  
**PCB-POOL**  
Beta LAYOUT

## PCB prototipi e piccole serie

**Servizio puntuale o gratuito**  
Tempi di consegna a partire da 8 ore

**Servizio di assemblaggio**  
Anche a partire da un solo componente

e-mail: [info@pcb-pool.com](mailto:info@pcb-pool.com)

[www.pcb-pool.com](http://www.pcb-pool.com)

**Beta**  
LAYOUT  
create electronics

PCB-POOL® è un marchio registrato di Beta LAYOUT GmbH

aggiunto uno strato di mascheratura ed effettuati 2-3 processi di diffusione per impiantazione ionica sul wafer. In questo modo è possibile garantire l'immunità contro fenomeni di latch-up, che rappresentano l'evento più dannoso prodotto dalla radiazione spaziale sui dispositivi CMOS. Tutti i semiconduttori CMOS contengono milioni di strutture di transistor parassiti che rappresentano un artefatto dell'architettura dei dispositivi CMOS e dei passi di lavorazione. In molti casi, finché il dispositivo è fatto funzionare all'interno delle specifiche previste, la struttura parassita (che ricorda e si comporta come un tiristore) non rappresenta un problema. Un urto di una particella ionizzante può generare una carica che si accumula sul substrato e può a sua volta produrre una polarizzazione diretta dei transistor parassiti e innescare la struttura. Ciò creerà un corto circuito tra  $V_{dd}$  e  $V_{ss}$  che impedirà il funzionamento del dispositivo. Nel caso il fenomeno di latch-up venga rilevato abbastanza presto, il dispositivo a volte può essere resettato in modo da poter uscire dalla condizione di latch-up, altrimenti si può arrivare alla distruzione del chip. Il processo HARDSIL prevede l'implementazione di un anello di guardia (BRG - Buried Guard Ring) al di sotto dei dispositivi CMOS al fine di creare un percorso a bassa impedenza per la carica indesiderata e ridurre il guadagno del transistor NPN nella struttura parassita. Nella figura 3 è riportata una struttura CMOS con transistor parassiti e anello BGR. Quando il guadagno combinato dei transistor parassiti NPN e PNP è inferiore all'unità, è possibile contrastare efficacemente il fenomeno di latch-up.

#### L'esperimento RHEME - Radiation Hardened Electronic Memory Experiment

L'utilizzo di dispositivi immune dal fenomeno di latch-up è una caratteristica fondamentale del progetto RHEME in quanto permette di osservare gli effetti delle radiazioni spaziali sulle matrici di memoria senza doversi preoccupare di un eventuale latch-up del controllore Cortex-M0 o delle memorie stesse. I dispositivi usati nell'esperimento RHEME (compreso il microcontrollore Cortex-M0, che dispone anch'esso di una memoria on chip) integrano

un sottosistema EDAC (Error Detection and Correction) che rileva il verificarsi di un'inversione (flip) di un bit della memoria e può procedere alla relativa correzione. In questo modo è possibile osservare gli effetti degli urti delle particelle sulla memoria mentre si procede alla loro correzione su base continuativa, così da poter proseguire con l'esperimento per tutta la durata della missione. Si tratta di dati importanti in quanto i risultati effettivi che sono stati acquisiti nel corso di un anno in un'orbita terrestre bassa possono essere confrontati con i dati relativi alla modellazione e al collaudo di resistenza alle radiazioni eseguiti in laboratorio. Ciò permette di migliorare sia il collaudo di resistenza alle radiazioni sia la modellazione in modo da consentire una riproduzione più fedele delle condizioni effettive che si incontrano nello spazio. Un insieme hardware che abbinia immunità al latch-up

e capacità di osservare e correggere le alterazioni dei valori memorizzati (upset) rappresenta la soluzione ideale per implementare l'esperimento RHEME. La disponibilità di microcontrollori basati su core ARM Cortex resistenti alle radiazioni è stata accolta molto favorevolmente dal mercato. I bassi consumi di potenza sono un fattore critico in

quanto le navicelle spaziali sono alimentate a energia solare. Senza dimenticare che la disponibilità di un vasto e articolato ecosistema a supporto della fase di sviluppo risulta molto utile per garantire l'operatività in tempi brevi. Microcontrollori di questo tipo si stanno diffondendo rapidamente soprattutto nei satelliti miniaturizzati di forma cubica come CubeSat. Poiché i satelliti di piccole dimensioni hanno ovviamente vincoli severi in termini di spazio, il ridotto ingombro del package e l'elevato numero di periferiche integrate sono fattori particolarmente apprezzati. I microcontrollori basati su core ARM di VORAGO saranno utilizzati in future missioni a bordo di navicelle spaziali che percorreranno un'orbita geosincrona (GEO), ovvero un'orbita con un periodo orbitale pari al giorno siderale terrestre, a un'altezza pari a 35.786 Km dal livello del mare, e in un'orbita polare bassa: si tratta di un'orbita ellittica che permette al satellite che la percorre di passa su entrambi i poli della Terra.

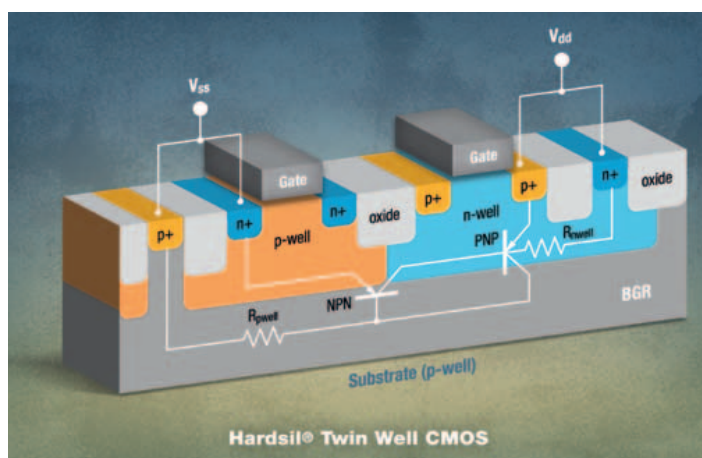


Fig. 3 - Implementazione dell'anello BGR previsto dal processo HARDSIL